

Corrigé de rattrapage

Exercice 1 : 1-

<i>Interruption</i>	<i>Exception</i>
<ul style="list-style-type: none"> -Cause d'un événement externe (provenant généralement de périphériques) -Masquable - Le processeur passe en mode superviseur et se branche au gestionnaire d'exceptions. - reprendre l'exécution du programme en cours à la fin du traitement de l'interruption - EPC = PC+4 - branche à l'adresse "0x80000080". 	<ul style="list-style-type: none"> -Cause d'un événement interne (erreur de programmation) -Non masquable - Le processeur passe en mode superviseur et se branche au gestionnaire d'exceptions. - Ne reprendre pas l'exécution du programme en cours à la fin du traitement de l'exception. -EPC = PC - branche à l'adresse "0x80000080".

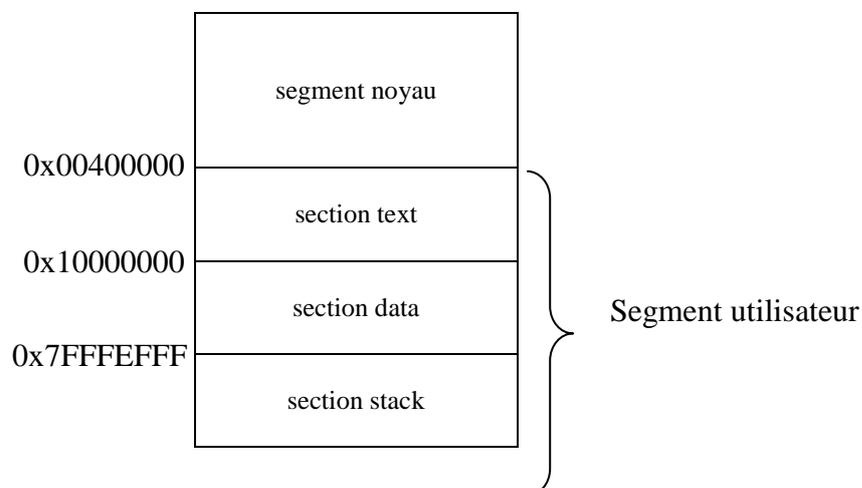
2-Expliquer en détail la méthode d'échange des données par scrutation.

le microprocesseur interroge l'interface pour savoir si des transferts sont prêts. Tant que des transferts ne sont pas prêts, le microprocesseur attend. L'inconvénient majeur est que le microprocesseur se retrouve souvent en phase d'attente. Il est complètement occupé par l'interface d'entrée/sortie.

3- Pour réaliser l'opération de division par 2^n on utilise un registre de décalage à droite.

Pour réaliser l'opération de division par 2^n on utilise un registre de décalage à gauche.

4-



Exercice 2 :

- Capacité de mémoire **4Goctet** $= 2^{32}$ octet $= 2^{31}$ mot (mot =16bit) (taille de bus d'adresses =31)
- Taille d'un mot =16 \rightarrow taille du bus de données =16
- 16 blocs \rightarrow taille d'un bloc $= 2^{31}/16=2^{27}$
- Capacité de boitiers **32Moctet** $= 2^{25}$ octet $= 2^{26}$ mot (mot =4bit)
- Donc pour chaque bloc on a :
 - $(m,n)=(2^{27},16) \rightarrow$ taille du bus d'adresses est de 27 bits (A26...A0), taille du bus de données est de 16 bits (D15...D0)
 - $(m',n')=(2^{26},4) \rightarrow$ taille du bus d'adresses est de 26bits (A25...A0), taille du bus de données est de 4 bits (D3...D0)
 - $P=2^{27}/2^{26}=2$ (extension lignes)
 - $Q=16/4=4$ (extension colonnes)
 - Le nombre totale de boitiers $P.Q=4*2=8$ boitiers par bloc.

Exercice 3 :

- nombre de mots dans le bloc= 16 mot
- le nombre des blocs dans le cache=8 bloc
- Pour chaque adresse il faut calculer le n° du bloc dans la mémoire principale et dans la mémoire cache

adresse	731	52	63	1255	486	725	311	493	605	511	645
N°de bloc MP	45	3	3	78	30	45	19	30	37	31	40
N°de bloc MC	5	3	3	6	6	5	3	6	5	7	0

-

temps	0	1	2	3	4	5	6	7	8	9	10
adresse	731	52	63	1255	486	725	311	493	605	511	645
Bloc 0											40
Bloc 1											
Bloc 2											
Bloc 3		3	3	3	3	3	19	19	19	19	19
Bloc 4											
Bloc 5	45	37	37	37							
Bloc 6				78	30						
Bloc 7										31	31
défaut	x	x		x	x		x		x	x	x

Exercice 4 :

0x00400054	0x24090001	addiu \$9,\$0,0x00000001
0x00400058	0x240a0000	addiu \$10,\$0,0x0000...
0x0040005c	0x08100010	j 0x00400040
0x00400060	0x15000001	bne \$8,\$0,0x00000001
0x00400064	0x0000000d	break
0x00400068	0x0128001a	div \$9,\$8