

### Série TD N° 03

#### Exercice 1 :

Soit un cache d'une capacité de 32 Ko. Combien de blocs peuvent contenir le cache si les longueurs de bloc sont de 32, 64 ou 128 octets ?

#### Exercice 2 :

Si un cache possède une capacité de 16 Ko et une longueur de bloc de 128 octets, combien d'ensembles le cache possède-t-il s'il est associatif par ensemble de 2, 4 ou 8 blocs ?

#### Exercice 3 :

Un processeur a 2 Go de mémoire principale. Pour les différents caches ci-dessous :

1. cache de 2 Mo à correspondance directe avec des blocs de 16 octets
2. cache de 4 Mo à correspondance directe, et blocs de 32 octets
3. cache de 4 Mo associatif 4 voies (4 blocs par ensemble), et blocs de 32 octets

Quelle est la décomposition d'une adresse mémoire (nombre de bits des différentes parties) ?

#### Exercice 4 :

Un ordinateur équipé d'une mémoire cache à correspondance directe de 32 blocs avec une taille de bloc de 8 octets :

Dans quels blocs de mémoire principale et la mémoire cache les octets de chacune des adresses (en octet) suivantes sont-ils rangés ?

1- 586	4-1285	7- 720
2- 2576	5- 645	8- 1067
3- 298	6- 118	9- 629

#### Exercice 5 :

Pour un cache dont les blocs font 128 octets, donnez les adresses du premier et dernier mot dans le bloc contenant l'adresse suivante :

- 1 – 0xA23847EB
- 2 – 0x7245E837
- 3 – 0xEEFABC5D

### **Exercice 6 :**

Un ordinateur équipé d'une mémoire principale adressable en octets de  $2^{16}$  octets avec une taille de bloc de 8 octets. Supposez qu'on exploite un cache à correspondance directe composé de 32 blocs sur cet ordinateur :

1. Comment une adresse mémoire 16 bits est-elle divisée ?
2. Dans quel bloc du cache les octets de chacune des adresses suivantes sont-ils rangés ?

0001 0001 0011 1011

1100 0011 1011 0100

1101 0000 0111 1101

1010 1010 1010 1010

3. Supposez que l'octet dont l'adresse est 0001 1010 0001 1010 soit rangé dans le cache. Quelles sont les adresses des autres octets rangés avec lui ?
4. Combien d'octets de mémoire peuvent être rangés dans le cache ?

### **Exercice 7 :**

Soit la suite de références suivantes, qui correspondent aux accès mémoire demandés par le processeur, en termes d'adresses des mots, dans le temps. Les adresses sont données en décimal.

temps	0	1	2	3	4	5	6	7	8
adresse	1	5	8	13	56	15	7	20	2

- Indiquer les succès, les défauts et le contenu final du cache pour un cache à correspondance directe avec des blocs de quatre mots et une taille totale de 16 mots.

### **Exercice 8 :**

On considère un cache associatif composé de 3 entrées de 4 mots de 32 bits. Les adresses mémoire sont sur 8 bits.

a/ Quelle est la taille de l'étiquette ?

b/ Soit la suite de références suivantes, qui correspondent aux accès mémoire demandés par le processeur, en terme d'adresses d'octets, dans le temps. Les adresses sont données en hexadécimal.

temps	0	1	2	3	4	5	6	7	8
adresse	0F	1F	3A	0D	1E	44	0B	32	17

Donnez l'évolution des 4 entrées du répertoire du cache et notez les défauts dans les deux cas suivants :

1/ la politique de remplacement est FIFO.

2/ la politique de remplacement est LRU.