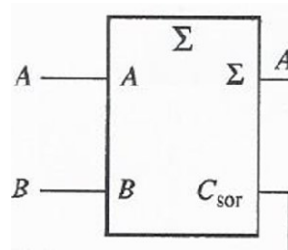


TD2 (La logique combinatoire)- « Structure machine 2 » - L1 « Mathématique »

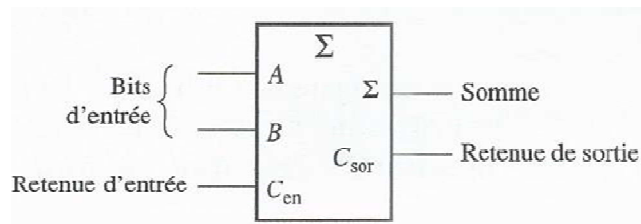
Exercice 1. Additionneur complet

1. Un demi-additionneur est un circuit logique capable de réaliser l'addition binaire. À partir de sa table de vérité, rétablissez les expressions logiques qui correspondent à la somme Σ et la retenue de sortie C_{sor} . Déduisez le diagramme logique du demi-additionneur
2. Sachant qu'un demi-additionneur peut-être représenté par le symbole logique suivant :



Montrez à l'aide d'un diagramme logique que l'interconnexion convenable de deux demi-additionneurs permet de concevoir un additionneur complet en indiquant les expressions logiques de la somme et la retenue de sortie.

3. En utilisant le symbole logique suivant d'un additionneur complet :



établissez le diagramme logique d'un additionneur parallèle 4 bits.

Exercice 2. Multiplicateur

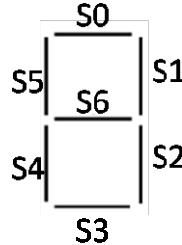
1. Rappelez les quatre règles de base de la multiplication binaire et en déduisez le circuit (ou la porte) logique capable de réaliser cette opération arithmétique binaire (multiplication 1 bit par 1 bit).
2. Réalisez de manière symbolique la multiplication binaire 2 bits par 2 bits
3. Déduisez qu'on puisse réaliser un multiplicateur 2 bits par 2 bits à l'aide des multiplicateur 1 bit par 1 bit et des demi-additionneurs.

Exercice 3. Comparateurs

1. Les sorties $S_{A_n > B_n}$, $S_{A_n = B_n}$ et $S_{A_n < B_n}$ d'un comparateur 1 bit prennent la valeur binaire 1 (niveau HAUT) lorsque les expressions de la comparaison binaire $A_n > A_n$, $A_n = A_n$, $A_n < A_n$ sont vraies. Etablissez la table de vérité de ce comparateur de base et en déduisez le diagramme logique correspondant.
2. Etablissez la table de vérité d'un comparateur pour deux nombres de 2 bits. Déduisez les expressions logiques des sorties $S_{A > B}$, $S_{A = B}$ et $S_{A < B}$ de ce comparateur.
3. Montrez qu'il est possible de réaliser un comparateur 2 bits en utilisant des comparateurs 1 bit et des portes logiques.

Exercice 4. Décodeur 4 bits (4 entrées et 16 sorties) et afficheur 7 segments

- Déterminez le diagramme logique requis pour décoder le nombre binaire 1011 en produisant un niveau HAUT à la sortie (état valide HAUT à la sortie)
- Afin d'afficher les chiffres décimaux (0 à 9) et les lettres A, b, C, d, E et F du système hexadécimal, on utilise un décodeur 4 bits qui fournit des sorties capables de piloter un afficheur 7 segments. Associez chaque segment de l'afficheur à une variable de sortie S_n avec $n = 0 \dots 6$ comme il est indiqué dans le schéma ci-dessous



et considérons un segment n allumé lorsque $S_n = 1$ (sinon le segment est éteint). Dans le cadre de cette configuration, établissez la table de vérité correspondante.

- Déduisez les expressions logiques de chaque sortie S_n avec $n = 0 \dots 6$ permettant d'assurer l'affichage souhaité.

Exercice 5. Multiplexeur connecté en générateur de fonctions logiques à 3 variables

- Créez un circuit pour mettre en œuvre la fonction logique spécifiée dans sa table de vérité ci-dessous en utilisant le multiplexeur 74HC151 à 8 entrées (son symbole logique est décrit dans le cours).

Entrées			Sortie
A_2	A_1	A_0	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

- Comparez cette méthode et un concept utilisant des portes logiques discrètes.